

**COPY OF PAPERS
ORIGINALLY FILED**

#2 *3-5-02* *2181*
PATENT
Docket No. JCLA6649
page 1

In re application of: JEFF LIN et al.

Application No.: 09/922,045

Filed: August 03, 2001

For: SEQUENCING METHOD AND BRIDGING
SYSTEM FOR ACCESSING SHARED SYSTEM
RESOURCES

Examiner:

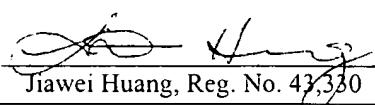
Art Unit:

Certificate of Mailing

I hereby certify that this correspondence
and all marked attachments are being
deposited with the United States Postal
Service as first class mail in an envelope
addressed to: Assistant Commissioner for
Patents, Washington, D.C. 20231, on

January 24, 2002

(Date)


Jiawei Huang, Reg. No. 43,330

RECEIVED

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

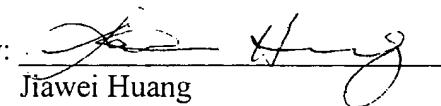
Sir:

Transmitted herewith is a certified copy of Taiwan Application No. 90118272 filed on July 26, 2001.

A return prepaid postcard is also included herewith.

It is believed no fee is due. However, the Commissioner is authorized to charge any fees required, including any fees for additional extension of time, or credit overpayment to Deposit Account No. 50-0710 (Order No. JCLA6649). A duplicate copy of this sheet is enclosed.

Date: 1/24/2002

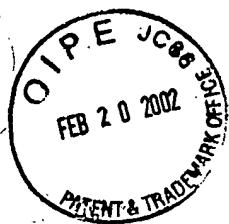
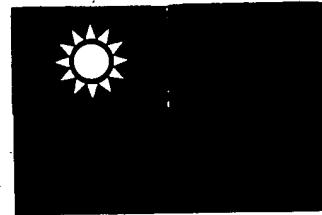
By: 
Jiawei Huang
Registration No. 43,330

Please send future correspondence to:

J. C. Patents
4 Venture, Suite 250
Irvine, California 92618
(949) 660-0761

5CLAF6649

09/022,045



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder.

申請日：西元 2001 年 07 月 26 日
Application Date

申請案號：090118272
Application No.

申請人：威盛電子股份有限公司
Applicant(s)

RECEIVED
FEB 28 2002
Technology Center 2100

局長

Director General

陳明邦

CERTIFIED COPY OF
PRIORITY DOCUMENT

發文日期：西元 2001 年 8 月 27 日
Issue Date

發文字號：
Serial No. 09011012662

申請日期	
案 號	
類 別	

A4
C4

(以上各欄由本局填註)

發明專利說明書

一、發明 新型 名稱	中 文	存取共用系統資源的排序方法與其橋接系統
	英 文	
二、發明 創作 人	姓 名	林振榮
	國 籍	中華民國
	住、居所	台北縣新店市中正路 533 號 8 樓
三、申請人	姓 名 (名稱)	威盛電子股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	台北縣新店市中正路 533 號 8 樓
	代 表 人 姓 名	王雪紅

裝
訂
線

四、中文發明摘要（發明之名稱： 存取共用系統資源的排序方法與其
橋接系統

本發明是一種存取共用系統資源的排序方法與其橋接系統，使得多項主控裝置在共用一些系統資源的時候，可享有較高的傳輸速率，並確保執行結果的正確性。該排序方法包括提供每一筆存取交易一個主控裝置編碼值與一個交易編碼值。本發明讓各個主控裝置享有不同的存取優先權，並在確保執行結果正確的情況下，提供較高存取共用資源的速率。

（請先閱讀背面之注意事項再填寫本頁各欄）

裝
訂
線

英文發明摘要（發明之名稱：

）

承辦人代碼：
大類：
I P C 分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： 有 無 主張優先權
美國 2000/08/11 60/225, 018

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

有關微生物已寄存於： 寄存日期： 寄存號碼：

五、發明說明 (/)

本發明是有關於一種存取動作的排序方法，且特別是有關於一種多項主控裝置透過高速匯流排存取共用系統資源的排序方法。

習知多項主控(Master)裝置若欲存取一公用的系統資源(例如系統記憶體)，其作法是透過一傳統匯流排，如PCI匯流排，來存取共用之系統資源。第1圖係顯示習知之一種多項主控裝置存取系統記憶體裝置的示意圖。請參照第1圖，中央處理器10經由晶片組(chipset)12耦接到PCI匯流排14，其提供32位元(bit)，33MHz的存取速度。而PCI匯流排14再耦接複數個PCI匯流排相容之主控裝置16(其為PCI匯流排相容的週邊裝置)。每一個主控裝置均可以送出要求訊號(request，REQ)要求使用PCI匯流排14，而晶片組12中的仲裁器(arbiter)則可送出同意訊號(grant，GNT)給主控裝置，同意其使用PCI匯流排14。取得PCI匯流排14控制權的主控裝置則可經晶片組12來存取系統記憶體11。另外，此系統係透過圖形加速埠(Accelerated Graphics Port，簡稱AGP)匯流排18，其提供64位元(bit)，66MHz的存取速度來存取圖形加速處理器13，用以快速的提供顯示裝置所需的影像資訊。

然而，在一般的伺服系統中，由於其並不需要快速的影像資訊存取速度以及加速的功能，因此顯示裝置係以PCI匯流排相容的介面來作為提供顯示裝置所需的影像資訊。所以AGP匯流排的架構在伺服系統並未能更被充分的被使用，而如果能夠在既有的架構之下，在AGP匯流排上提供

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(二)

較快速的傳輸速度給PCI匯流排的主控裝置，不僅可以充分的利用系統的資源，更可以有效地提昇系統的效能。

並且，習知的晶片組以先到先服務的原則處理PCI匯流排傳送過來的存取要求，且資料的傳輸主要是緊接在要求發出後的同一匯流排交易週期內，故會造成等待資料備妥之等待週期時間的浪費。另外，此方式無法滿足某些存取傳輸具有高優先存取權的特性。現有高速匯流排，如AGP匯流排，採用存取要求與存取資料分開的方法，並使用具有深度的管線(pipeline)記憶體寫入及讀取操作，以提供高速率且有效率的資料傳輸。由於其存取要求具有高低優先權的屬性，讓控制晶片組得以優先處理某些存取動作。此外，這樣的高速匯流排更搭配清除(Flush)與阻隔(Fence)訊號，得以確保某些存取動作的執行順序。但在具有多個主控裝置的系統，透過此種高速匯流排，來存取共用系統資源，如何確保存取順序的正確性，就變成一項值得研究的課題。

有鑑於此本發明提供一種存取共用系統資源的排序方法，用以決定由多個主控裝置所發出之交易來存取共用資源的優先順序，包括下列步驟：首先，提供每一筆交易一個交易編碼值用以決定每一個交易的次序；再來，提供每一個交易一個主控裝置編碼值，係作為區分此筆交易係由哪一個主控裝置所發起；再來，取得相同主控裝置編碼值的這些交易並根據這些交易編碼值存取共用系統資源。

因此，本發明提出一種存取共用系統資源的橋接系

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(3)

統，包括：多個主控裝置其會發出多個寫入交易以及讀取交易；第一匯流排耦接至主控裝置；橋接器耦接至第一匯流排用以傳遞讀取交易以及寫入交易；第二匯流排耦接至橋接器；以及，晶片組耦接至第二匯流排與共用系統資源，用以選擇特定的主控裝置所發出的讀取交易以及寫入交易來存取共用系統資源。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第1圖係顯示習知多項主動裝置存取一公用記憶體裝置之系統示意圖；

第2圖係繪示本發明較佳實施例之一種透過AGP匯流排存取共用記憶體的系統示意圖；以及

第3圖係顯示根據本發明較佳實施例之控制晶片組內部佇列的交易排序示意圖。

圖式標號之簡單說明：

10、110 中央處理器

11、120 系統記憶體

12、200 晶片組

13 圖形加速處理器

14 PCI匯流排

16 主控裝置

18、220 AGP匯流排

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

- 200 晶片組
- 230 橋接器
- 240 PCI匯流排I
- 245 PCI匯流排II
- 260 第一主控裝置
- 270 第二主控裝置
- 280 第三主控裝置
- 310 讀取佇列
- 312 第一裝置讀取佇列
- 314 第二裝置讀取佇列
- 316 第三裝置讀取佇列
- 320 寫入佇列
- 322 第一裝置寫入佇列
- 324 第二裝置寫入佇列
- 326 第三裝置寫入佇列

實施例

第2圖係繪示本發明較佳實施例之一種透過AGP匯流排存取共用記憶體的系統示意圖。晶片組200耦接至中央處理器110與系統記憶體120。而由晶片組200具有PCI匯流排I 240，其提供32位元(bit)，33MHz的存取速度。再者，本發明在AGP匯流排220上耦接一PCI匯流排至AGP匯流排橋接器230，使得PCI匯流排II 245上的第一、第二、與第三主控裝置260、270、280亦能經由AGP匯流排220與晶片組230來對系統記憶體120做資料交易，當然本實施例僅提供三個主

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (5)

控裝置作為範例來說明，本發明並不限定於主控裝置的數目。

並且，由於AGP匯流排提供64位元(bit)，66MHz的存取速度，所以在PCI匯流排II 245可提供速度較快的PCI匯流排相容的主控裝置，因此，更可以有效地提昇系統的整體效能。

當任一個主控裝置要起始一筆存取交易時，其首先對其耦接之PCI匯流排II 245發出要求訊號，並在獲得同意之後，此筆存取交易經由橋接器230中介，再透過AGP匯流排220，被置於控制晶片組200的寫入或者讀取等待佇列(Waiting Queue)中排序。此乃因為系統記憶體係由複數個主控裝置共享，不管有多少個主控裝置或是由那一個主控裝置所發出之存取要求，最後都必須到等待佇列中等候，以存取共用之系統記憶體120。

由於PCI匯流排II 245具有多個週邊裝置(主控裝置)260。而為了要存取系統的記憶體裝置，這些週邊裝置(主控裝置)260所發出的存取交易都會被放置於晶片組200內的等待佇列之內。而如何確定這些交易的先後次序，使得記憶體裝置不會因此產生資料存取的錯誤，以下將提供一個解決的範例。

在此排序方法中，每個不同的週邊裝置的交易皆賦予其主控裝置編碼值(Master ID)用以區分該交易係屬於哪一個週邊裝置(主控裝置)所發起。而每個交易再根據其屬性(Attribute)，例如寫入交易或者讀取交易，賦予一個交易編

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

碼值(Transaction ID)。

而其編排方式則依照當筆交易屬性以及其前一筆的交易屬性來決定(以下皆以R代表為讀取交易，W代表為寫入交易)。而第一筆交易編碼值由0開始，當筆交易為R而前一筆交易為R時，則交易編碼值加1。當筆交易為R而前一筆交易為W時，則交易編碼值加0。當筆交易為W而前一筆交易為R時，則交易編碼值加1。當筆交易為W而前一筆交易為W時，則交易編碼值加0。

舉例來說，當PCI匯流排II上有三個主控裝置時，其發出之存取交易經由橋接器送至晶片組依序為R2-R1-R2-R3-W1-W2-R1-W1-R1-R3-W2-W2-R2-W3-W3-R3(字母後的數字則代表特定的週邊裝置，亦即主控裝置編碼值)。因此，第一筆交易R由第二個週邊裝置發起(主控裝置編碼值為2)且其交易編碼值設為0，第二筆交易R代表由第一個週邊裝置發起(主控裝置編碼值為1)且此交易編碼值加1成為1，第三筆交易R由第二個週邊裝置發起(主控裝置編碼值為2)且此交易編碼值加1成為2，第四筆交易R由第三個週邊裝置發起(主控裝置編碼值為3)且此交易編碼值加1成為3，第五筆交易W由第一個週邊裝置發起(主控裝置編碼值為1)且此交易編碼值加1成為4，第六筆交易W由第二個週邊裝置發起(主控裝置編碼值為2)且此交易編碼值加0成為4，第七筆交易R由第一個週邊裝置發起(主控裝置編碼值為1)且此交易編碼值加0成為4，依此類推，最後可獲得所有交易的交易編碼值依序為0-1-2-3-4-4-4-5-5-6-7-7-7-8-8-8。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(1)

第3圖繪示根據上述實施例之晶片組內部的寫入等待佇列以及讀取等待佇列的示意圖。由AGP匯流排所傳送過來的交易，會根據其屬性分別置於晶片組內的讀取佇列310以及寫入佇列320。而除了交易所需的位址以及資料(未繪示)之外，在晶片組內的讀取佇列310以及寫入佇列320必須再儲存每筆交易的主控裝置編碼值以及交易編碼值。接著，晶片組會根據主控裝置編碼值將讀取佇列310以及寫入佇列320的內容分別存入不同的主控裝置讀取佇列以及寫入佇列。依照本實施例，第一主控裝置讀取佇列312以及寫入佇列322分別儲存主控裝置編碼值為1的讀取交易以及寫入交易。同理，第二主控裝置讀取佇列314以及寫入佇列324分別儲存主控裝置編碼值為2的讀取交易以及寫入交易，第三主控裝置讀取佇列316以及寫入佇列326分別儲存主控裝置編碼值為3的讀取交易以及寫入交易。

因此，如圖所示各個主控裝置所發出的交易即可被區分開來，接著，可以根據主控裝置的優先權順序來依序執行特定主控裝置與系統記憶體的交易。

而特定主控裝置與系統記憶體的交易順序則根據交易編碼值來決定，舉例來說，第一主控裝置讀取佇列312內有交易編碼值為1、4、與5的讀取交易，第一主控裝置寫入佇列322內有交易編碼值為4，與5的寫入交易。在第一主控裝置開始與系統記憶體交易時，由交易編碼值最小的交易開始，因此交易編碼值為1的R先與系統記憶體來交易。而當第一裝置讀取佇列312與寫入佇列322內的交易編碼值

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (8)

相同時，先執行W的交易，因此，第一主控裝置對系統記憶體所執行的交易順序依序為R-W-R-W-R。因此，由第一主控裝置所發起的交易並不會因為被分別置於讀取佇列以及寫入佇列而造成交易次序的錯亂，並造成資料的錯誤。

同理，第二主控裝置對系統記憶體所執行的交易順序依序為R-R-W-W-W-R。第三主控裝置對系統記憶體所執行的交易順序依序為R-R-W-W-R。

由於各個主控裝置皆具有其個別的優先權，所以晶片組可以依照主控裝置的優先權來執行交易，並且根據本發明的排序方法，交易順序並不會因此而錯亂，導致錯誤的資料讀寫。

因此，本實施例透過高速的AGP匯流排220，多項主控裝置（260、270和280）可以較高的傳輸速率且極有效率地存取共用之記憶體裝置110。此外，本發明可搭配AGP匯流排220所支援的清除（Flush）與阻隔（Fence）要求，並利用交易編碼值的特性，來確保某些存取交易被完成的順序。當收到清除要求時，將所有低優先權的交易要求先做完，再繼續此清除要求以下的交易要求；當收到阻隔要求後，不允許此阻隔要求之後的交易要求，先於此阻隔要求之前的交易要求先執行。

如熟悉此藝者可知曉，本實施例中主控裝置係耦接到PCI匯流排，但本發明並非限定使用於PCI匯流排，本發明甚至不一定需要此匯流排，而直接將複數個主動裝置連接上橋接器，只要能提供多個主控裝置運作的機制即可。再

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(9)

者，

本發明並不限定於交易編碼值的決定方法，任何具有交易編碼值並且經由設計而達成本發明之交易順序，當屬本發明的範疇之中。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

1. 一種存取一共用系統資源的排序方法，用以決定由複數個主控裝置所發出之複數個交易來存取該共用資源的優先順序，該方法包括下列步驟：

提供每一該交易一交易編碼值用以決定該些交易的一次序；

提供每一該交易一主控裝置編碼值，係作為區分每一該交易係由該些主控裝置其中之一所發起；以及

取得具有相同該主控裝置編碼值的該些交易並根據該些交易編碼值存取該共用系統資源。

2. 如申請專利範圍第1項所述之方法，其中該些交易包括複數個寫入交易與複數個讀取交易。

3. 如申請專利範圍第2項所述之方法，其中提供每一該交易該交易編碼值包括下列步驟：

提供該些交易中之一第一筆交易的該交易編碼值為0；

當每一該讀取交易之前一筆交易為該讀取交易時，該交易編碼值加1；

當每一該讀取交易之前一筆交易為該寫入交易時，該交易編碼值加0；

當每一該寫入交易之前一筆交易為該讀取交易時，該交易編碼值加1；以及

當每一該寫入交易之前一筆交易為該寫入交易時，該交易編碼值加0。

4. 如申請專利範圍第3項所述之方法，其中根據該些交

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

易編碼值存取該共用系統資源，包括下列步驟：

由該些交易之中選則該些交易編碼值中最小的該交易編碼值所對應的該交易來存取該共用系統資源；以及

當二個以上的該些交易中具有最小的該交易編碼值時，先以該些寫入交易來存取該共用系統資源，再以該讀取交易來存取該共用系統資源。

5.如申請專利範圍第1項所述之方法，更搭配一AGP匯流排所提供之清除(Flush)訊號與一阻隔(Fence)訊號，確保存取交易動作的執行順序。

6.一種存取一共用系統資源的橋接系統，包括：

至少一主控裝置，該至少一主控裝置會發出複數個寫入交易以及複數個讀取交易；

一第一匯流排，耦接至該至少一主控裝置；

一橋接器，耦接至該第一匯流排，用以傳遞該些讀取交易以及該些寫入交易；

一第二匯流排耦接至該橋接器；以及

一晶片組，耦接至該第二匯流排與該共用系統資源，用以選擇該至少一主控裝置其中之一所發出的該些讀取交易以及該些寫入交易來存取該共用系統資源。

7.如申請專利範圍第6項所述之橋接系統，其中該第一匯流排係為一PCI匯流排。

8.如申請專利範圍第6項所述之橋接系統，其中該第二匯流排係為一AGP匯流排。

9.如申請專利範圍第6項所述之橋接系統，其中該晶片

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

組一匯流排係為一PCI匯流排。

10.如申請專利範圍第6項所述之橋接系統，其中每一該讀取交易以及每一該寫入交易都具有一交易編碼值用以決定一次序。

11.如申請專利範圍第10項所述之橋接系統，其中每一該讀取交易以及每一該寫入交易都具有一主控裝置編碼值用以對應至該至少一主控裝置其中之一。

12.如申請專利範圍第10項所述之橋接系統，其中該晶片組包括：

一讀取佇列，用以儲存該些讀取交易之該些主控裝置編碼值以及該些交易編碼值；

一寫入佇列，用以儲存該些寫入交易之該些主控裝置編碼值以及該些交易編碼值；

複數個主控裝置讀取佇列，每一該主控裝置讀取佇列儲存具有相同的該些主控裝置編碼值所對應的該些讀取交易的該些交易編碼值；以及

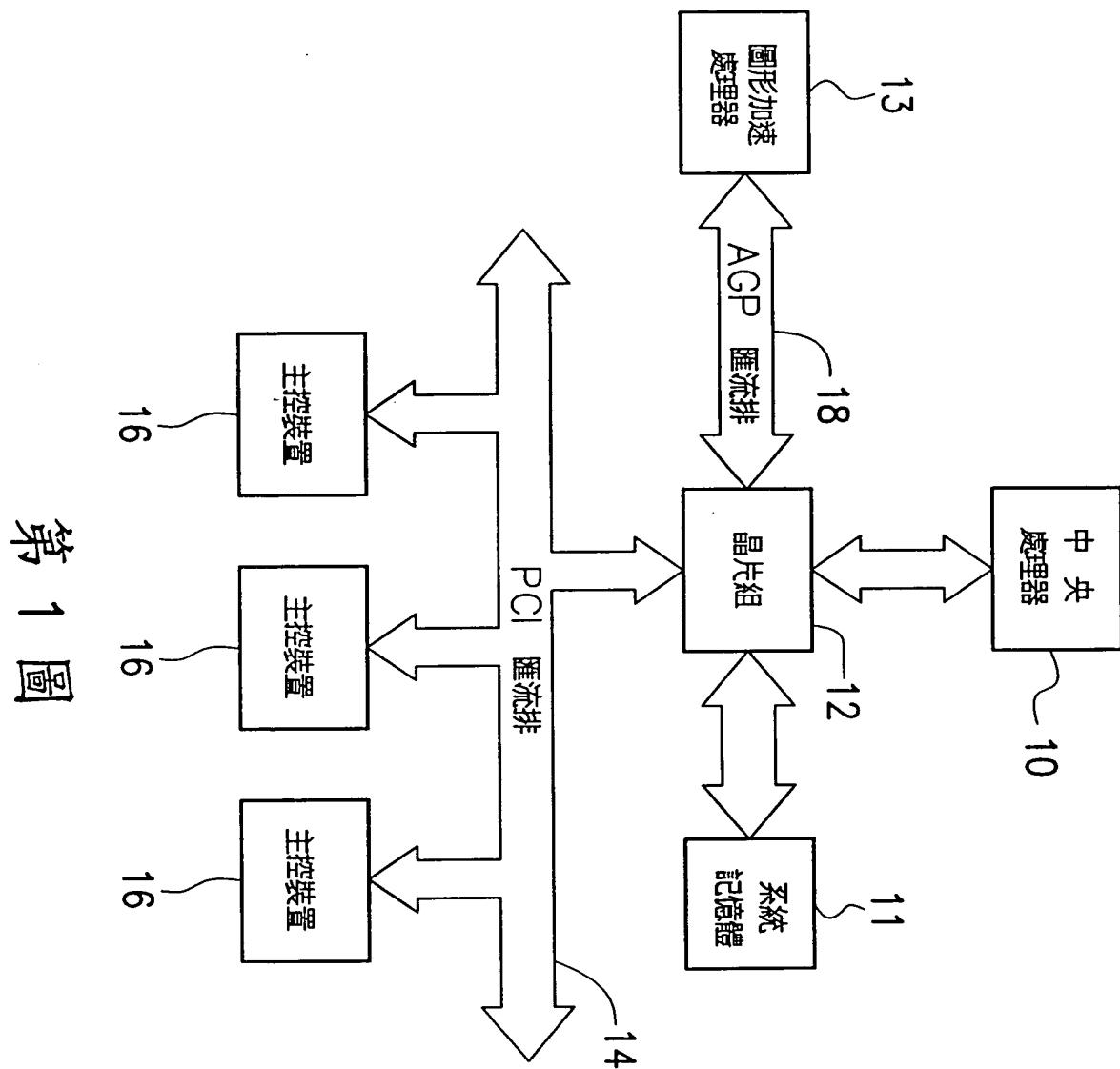
複數個主控裝置寫入佇列，每一該主控裝置寫入佇列儲存具有相同的該些主控裝置編碼值所對應的該些寫入交易的該些交易編碼值。

(請先閱讀背面之注意事項再填寫本頁)

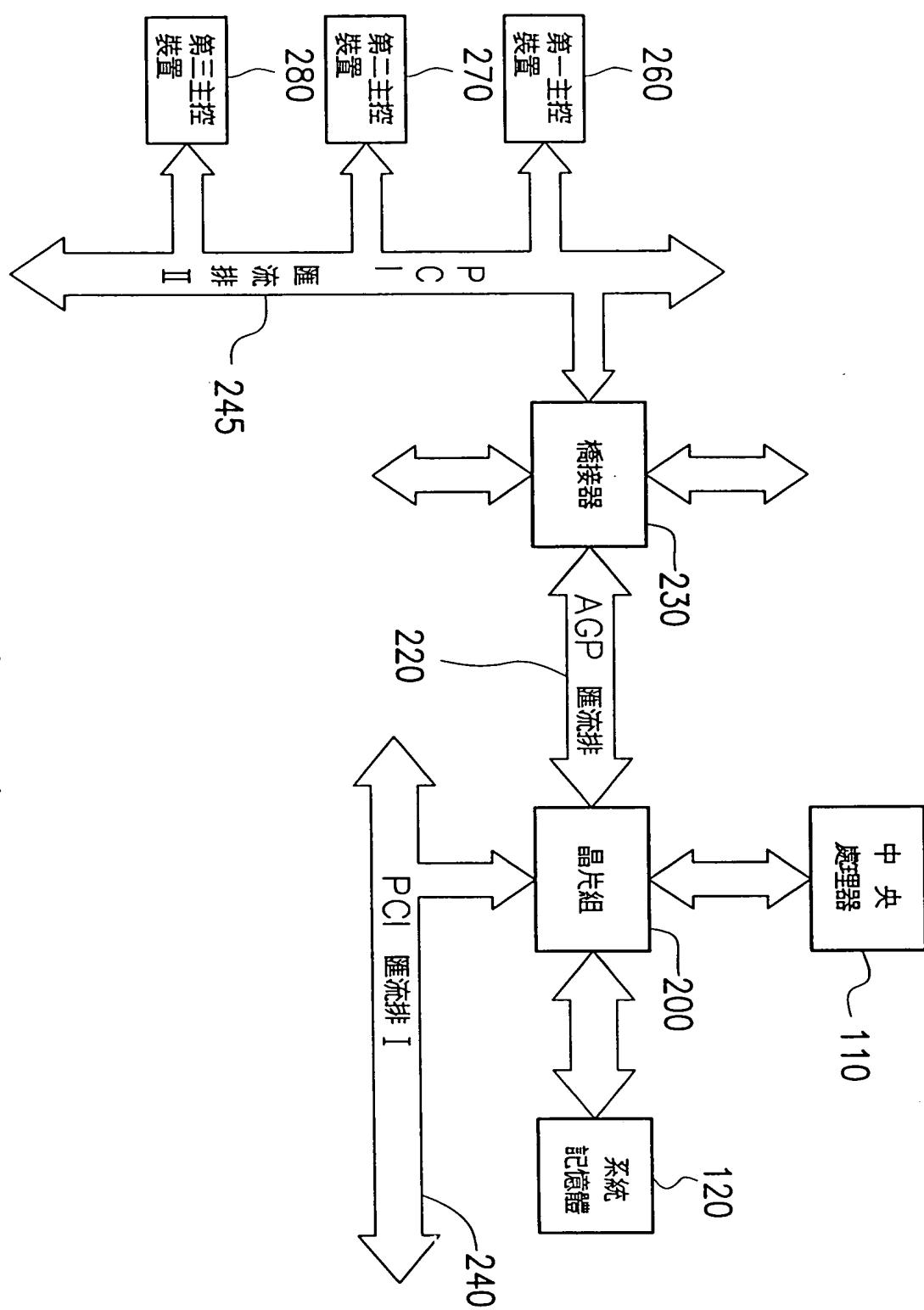
裝

訂

線



第 1 圖



第 2 圖

